

2023 IEEE CICC Review

IEEE Custom Integrated Circuits Conference

서울대학교 전기정보공학부 박사과정 박현준

Session 11 Analog Sensor Interfaces

이번 2022 IEEE CICC의 Session 1은 센서 기술에 관한 다양한 논문들을 다루고 있다. 이 세션에서는 전력 및 에너지 효율을 개선한 센서 인터페이스 칩, 고성능 아날로그 프론트엔드(AFE), 초소형 저전력 변환기(TDC), 정전 용량 센서 리딩 회로, 전력 효율적인 CDC, 에너지 효율적인 저항 센서에 대한 연구가 소개되었다. 이 논문들은 각자 독특한 기술과 성능을 가지며, IoT 및 센서 분야에서 비용 효율성과 성능을 향상시키는데 기여하고 있다.

#11-1 전통적인 센서 시스템은 많은 전력과 큰 칩 영역을 필요로 하여 에너지 제한적인 시스템과 대량 채널 감지에 적합하지 않다. 이에 대해, 제안된 72 채널 RC 센서 인터페이스 칩은 노이즈 정규화와 패드 공유 기술을 활용하여 전력과 칩 면적을 크게 줄였다. 노이즈 정규화 기술은 양자화 노이즈를 줄이고 에너지 효율성을 향상시키며, 패드 공유 기술은 I/O 패드 수를 절반으로 줄여 칩 면적을 줄인다. 이로 인해 해당 칩은 채널당 0.74uW의 전력 소비와 0.038mm²/채널의 면적으로 고성능을 달성하여 IoT 분야에서 비용 및 에너지 효율적인 센서 솔루션을 제공한다.

#11-2 이 논문은 웨어러블 의료 기기 신호(EMG, EEG, ECG) 측정을 위한 아날로그 프론트엔드(AFE)를 소개한다. 기존 AFE 시스템은 노이즈, 입력 임피던스, 선형 입력 범위 및 전력 효율 등의 성능 간의 trade-off가 필요로 했지만, 본 논문에서 제시된 기술은 이러한 한계를 뛰어넘는다. 이 논문의 핵심 기술은 15.5비트 ADC 기반의 AFE로, 델타-시그마 변조기가 센서에 직접 연결되며, 이를 통해 노이즈와 입력 임피던스 사이의 균형을 맞추면서 큰 입력 신호 범위를 달성한다. 입력 임피던스는 높은 4.7GOhms에 이르며, 선형 입력 범위는 335mVpp에 달한다. 이 새로운 AFE는 1.2 V 전원에서 48.3uW를 소비하면서 94.9 dB의 SNDR을 달성한다. 이는 선형성, 입력 신호 범위, 입력 임피던스 사이의 타협 없이 높은 성능을 제공한다.

#11-3 본 논문은 MEMS 가속도계와 자이로스코프에 사용되는 초소형, 저전력 Temperature-to-Digital Converter (TDC)를 제안한다. 해당 TDC는 Noise Shaping (NS)

Successive Approximation Register (SAR) 기반이며, 이는 전류 모드에서 동작하고, 오프셋 없이도 신호 처리를 수행한다. NPN 바이폴라 코어는 온도-디지털 변환을 위해 필요한 신호를 생성한다. 제작된 TDC는 180nm CMOS 프로세스를 사용하고, 변환 당 4.9nJ의 에너지로 92mK 해상도를 제공한다. 이 기술은 높은 해상도와 저 에너지 소비 사이의 균형을 이루며, 단일 포인트 트리밍으로 측정 오차를 줄일 수 있다. 이 결과는 MEMS 기반 모션 센싱 시스템에 특히 적합하다.

#11-4 이 논문은 정전 용량 센서 Read 회로를 제안한다. IoT 응용 프로그램의 발전에 따라, 낮은 대기 시간, 높은 해상도, 및 높은 에너지 효율을 가진 정전 용량 센서 읽기 회로가 필요한데, 기존의 SAR 기반 및 $\Delta\Sigma$ 변조기는 해상도 또는 에너지 효율성 측면에서 한계가 있다. 이 논문에서는 전류 제어 발진기 (CCO) 기반 시간 영역 $\Delta\Sigma$ 변조기 (TD- $\Delta\Sigma$ M)를 이용한 읽기 회로를 제안한다. 이는 단일 센서 측정을 지원하며, 전통적인 이중 센서 체계에 비해 센싱 하드웨어를 2배 절약한다. 또한 DPDFD 양자화기를 사용하여 시간 영역 정보를 최대한 활용하고 해상도를 두 배로 늘린다. 이로 인해 더 적은 CCO 단계와 더 낮은 오버샘플링 비율로 좋은 해상도를 달성할 수 있다. 제안된 회로는 0.23fF 해상도를 달성하면서 변환 당 61pJ 만 소모하며, 측정 시간은 4.1 μ s이다.

#11-6 이 논문은 배터리 관리 시스템의 정밀 전류 측정을 위한 아날로그 프론트 엔드 (AFE)를 제안한다. 핵심적인 부분은 콘덴서로 결합된 증폭기(Capacitively Coupled Amplifier, CCA)에 이중 주파수 변환 기술을 적용하는 것이다. 이를 통해 CCA의 동작 주파수를 낮추고 입력 임피던스를 높여, 오프셋과 gain 오류를 최소화한다. 특히, 두 개의 chopping mixers를 사용하여 CCA의 입력과 출력에서 신호를 변조하고, 이를 통해 DC 오프셋을 제거하며 신호 증폭을 달성한다. 이 방법은 전체 시스템의 gain 오류를 줄이고, 대역폭 제한 문제를 해결할 수 있다. 제안된 AFE는 -50°C에서 150°C의 온도 범위에서 2 μ V의 오프셋과 $\pm 0.2\%$ 의 gain 오류를 보여주며, 3.9kHz의 대역폭을 가진다.

#11-7 이 논문은 IoT와 에어러블 기기를 위한 전력 효율적인 커패시턴스-디지털 변환기 (CDC)를 제안한다. 핵심원리는 연속 시간과 이산 시간 기반 토폴로지를 결합한 하이브리드 3차 델타-시그마 CDC를 기반으로 하여, CT CVC(Capacitance to Voltage Converter)를 사용하여 낮은 잡음 성능을 달성하고, Switched Capacitor Integrator와 2차 노이즈 Shaping SAR ADC를 통해 전력 효율을 향상시키는 것이다. 샘플링 주파수는 125kHz, 전체 소비전력은 9.8uW, Cap resolution은 25.2aFrms, 변환 시간은 0.128ms이다. 56.4fJ/변환 단계의 FoMW와 177.7dB의 FoMS를 달성하여 전력 효율적이다.

#11-8 이 논문은 on chip capacitor를 reference로 한 에너지 효율적인 저항 센서를 제안한다. 핵심 원리는 FLL을 사용하여 저항값을 주파수로 변환하고 Dynamic 기법을 사용하여 전류 소스를 매칭시켜 높은 정확도를 달성하며 액티브 integrator를 사용하여 낮은 전력 소비 및 우수한 에너지 효율성을 달성하는 것이다. One point trimming 및 비선형 보정을 통해 120ppm의 정확도를 달성하고, 4ppm/C, 1.1ppm/mV로 감도가 매우 낮다. 해상도 FoM 또한 7.4uJppm² 우수하다.

Session 17 Analog Techniques

Session 17은 다양한 아날로그 Technique을 다루는 세 가지 논문으로 구성되어 있다. 첫 번째 논문에서는 스테킹 FIA를 사용한 동적 컴패레이터를 제안하여 Strong-Arm 래치보다 우수한 성능을 보이는 것을 소개한다. 두 번째 논문은 SONAR 응용 분야를 위한 고주파 쇼퍼 오퍼레이셔널 앰프를 제안하며, 새로운 보상 기술과 수정된 바이어싱 회로를 도입하여 성능을 향상시킨다. 세 번째 논문은 면적 효율적인 NMOS PUF 디자인을 제안하고, 최소화된 주변 회로를 통해 안정된 키 생성을 가능케 한다. 이 세 논문은 해당 분야에서의 현안과 도전에 대한 해결책을 제시하고 있다.

#17-1 기존의 Strong-Arm (SA) 래치 컴패레이터는 완전 동적 운영과 내장된 프리 앰프의 장점이 있지만, pre-Amp gain이 4~5로 매우 낮아 입력에 따른 잡음과 오프셋을 증가시킨다. 본 논문에서는 스테킹 FIA를 사용한 동적 컴패레이터를 제안한다. 두 개의 FIA를 스테킹함으로써 프리 앰프의 전류 재사용을 4배로 증가시키고, 이를 통해 프리 앰프의 전압 이득은 55배로 증가하여 잡음을 효과적으로 억제한다. 제안된 컴패레이터의 잡음 효율 계수는 0.69로, Strong-Arm 래치보다 23배 우수한 성능을 보입니다.

#17-2 이 논문에서는 SONAR 응용 분야를 위한 고주파 쇼퍼 오퍼레이셔널 앰프를 제안한다. 제안된 앰프는 69MHz 대역폭, 40V/μs 슬로 레이트, 3nV/√Hz 잡음, 4.5μV 오프셋보다 낮은 성능을 가지고 있다. 이를 위해 새로운 보상 기술과 수정된 바이어싱 회로, 저입력 전류 부트스트랩 스위치가 도입되었다.

#17-3 이 논문의 핵심 내용은 92 F²/bit의 면적 효율적인 NMOS PUF 디자인을 제안하고, 주변 회로를 최소화하여 안정된 키를 생성하는 것이다. 65nm CMOS에서 구현된 프로토타입 PUF는 0.20%의 네이티브 BER와 0.0106 pJ/b의 코어 에너지 소비를 보인다. 3T 및 4T PUF 셀을 사용하는 실험 결과도 제시되었으며, 다양한 환경에서의 성능 평가 및 신뢰성 결과가 제공된다. 제안된 PUF는 단순한 구조, 새로운 충전 주입/축적 방식 및 CMS로 인해 상대적으로 낮은 에너지 소비와 함께 최신 기술과 비교하여 2.37배 높은 면적 효율성을 보이는 것이 특징이다.

저자정보



명예기자 박현준

- 소속 : 서울대학교 전기정보공학부 박사과정
 - 연구분야 : HBM, Chord Signaling, Information Theory
 - 이메일 : spp098@snu.ac.kr
 - 홈페이지 : <https://sites.google.com/view/wschoi?pli=1>
-

2023 IEEE CICC Review

IEEE Custom Integrated Circuits Conference

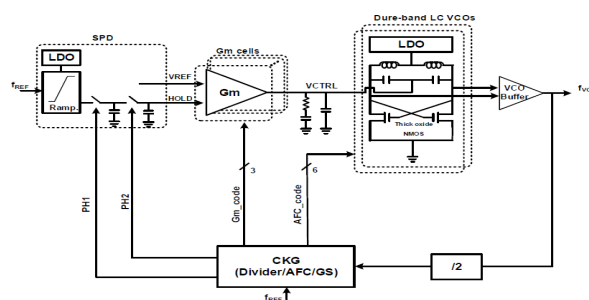
연세대학교 전기전자공학부 박사과정 한현호

Session 19 Timing Circuits

이번 CICC 2023의 Session 19는 timing circuits에 관한 6개의 논문이 발표되었다. 그 중 3개의 논문이 수 기가에서 수십 기가의 PLL 논문이며 2개의 논문이 ring oscillator, relaxation oscillator의 논문, 그리고 1개의 온도에 민감하지 않은 on chip RC timer에 관한 논문이었다. 발표된 논문에서 보는 것과 같이 점점 빠르고 성능 좋은 PLL 논문들이 많이 나오고 있는 추세이다. 따라서 6개의 논문 중 PLL에 관한 3개의 논문을 간단히 보자.

19.4: A 16GHz 33fs_{rms} Integrated Jitter FLL-less Gear Shifting Reference Sampling PLL

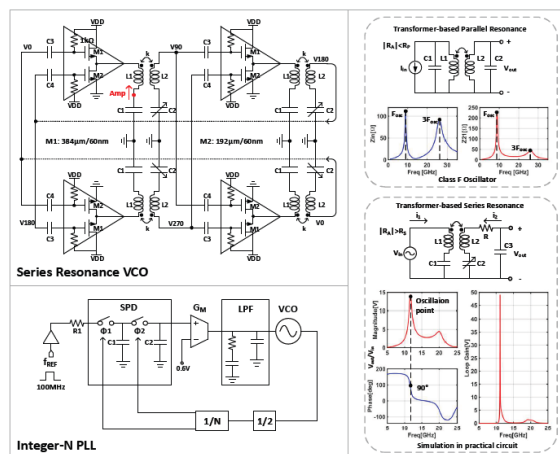
최근 system에서 요구되는 data rate가 점점 빨라짐에 따라 빠르게 동작하며 적은 노이즈를 가지는 PLL회로가 요구되고있다. 예를 들어 5G new radio 표준에서는 100fs_{rms} 보다 낮은 jitter를 요구한다. 낮은 노이즈를 만들어 낼 수 있는 PLL은 charge-pump, sub-sampling 등을 이용한 기법이 존재하나 sub-sampling PLL은 매우 작은 범위에서 동작하기 때문에 PVT 변화에 취약하다. 이를 해결하고자 reference-sampling PLL을 사용할 수 있지만 이 또한 charge-pump PLL 보단 좁은 동작영역으로 추가적인 FLL 회로가 필요로 하게 된다. 따라서 이 논문은 gear shifting scheme을 이용하여 PLL이 넓은 영역에서 잘 동작할 수 있도록 하였으며 결국 16GHz 에서 33fs_{rms} 10GHz에서 36.6fs_{rms}의 성능을 달성하였다.



[그림 1] 제안하는 Reference sampling PLL의 간단한 block diagram.

19.5: A 100 MHz-Reference, 10.3-to-11.1 GHz Quadrature PLL with 33.7-fs_{rms} Jitter and -83.9 dBc Reference Spur Level using a -130.8 dBc/Hz Phase Noise at 1MHz offset Folded Series-Resonance VCO in 65nm CMOS

초고속으로 동작하는 Transceiver나 data converter는 좋은 성능을 달성하기 위해서는 수십 femtoseconds의 clock jitter 가 요구된다. 하지만 기존 CMOS PLL 에서는 12.5GHz로 동작하며 51.7-fs_{rms}를 갖기 위해서 500Mhz의 crystal oscillator와 175mW의 많은 파워를 소모하였다. 이는 실 사용에 있어 부담을 주게 된다. 이 논문에서는 quadrature output을 가지는 folded transformer-based series resonance CMOS VCO를 제안하였다. 그 결과 100MHz의 낮은 reference 주파수에서 10.6 GHz로 동작하는 PLL의 1MHz의 spot phase noise는 -130.8dBc/Hz 로 측정되었다. 결과적으로 10.3-11.1GHz의 동작영역에서 33.7fs_{rms} jitter 와 -83.9dBc의 reference spur를 달성하였다.

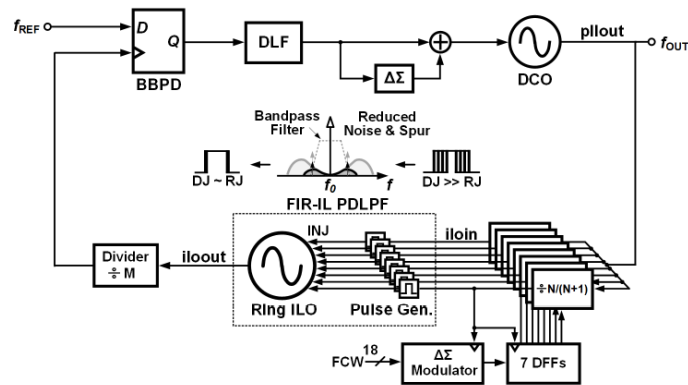


[그림 2] 제안하는 transformer-based series resonance VCO와 PLL 회로도.

19.6: A 2.6GHz ΔΣ Fractional-N Bang-Bang PLL with FIR-Embedded Injection-Locking Phase-Domain Low-Pass Filter

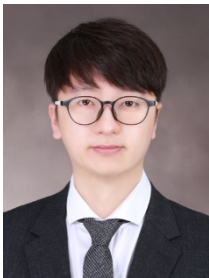
All-digital fractional-N bang-bang PLL 은 쉽게 구현 가능한 장점을 가지지만 bang-bang phase detector에서 발생하는 비선형성으로 발생하는 노이즈 때문에 높은 resolution을 가지는 digital-to-time converter (DTC)가 필요로 하다. 그러나 낮은 voltage supply에서 좋은 resolution을 가지는 DTC는 PVT variation이나 switching noise에 취약한 경우가 많다. 따라서 이 논문에서는 FIR-Embedded Injection-Locking Phase-Domain Low-Pass Filter를 활용하여 DTC-free의 ΔΣ Fractional-N Bang-Bang PLL을 제안하였다. 이 구조는 second divider를 통해서 noise aliasing을 완화하여 quantization noise를 효과적으로

낮추었다. 또한 복잡한 nonlinearity calibration 없이 좋은 spur 성능을 달성하였으며 mismatch나 nonlinearity에 대한 sensitivity가 없기 때문에 낮은 voltage supply에 대한 설계가 가능하였다. 그 결과 0.9V supply에서 60MHz의 reference를 가지고 2.66GHz의 신호를 만들어 냈으며 100kHz의 offset에서 -96.6dBc/Hz의 phase noise와 1.32ps의 RMS jitter를 달성하였다.



[그림 3] 제안하는 FIR-IL PDLPF를 사용한 fractional-N ΔΣ BBPLL 구조

저자정보



한현호 박사과정

- 소속 : 연세대학교 전기전자공학부
- 연구분야 : 임피던스 센서, VCO-based ADC
- 이메일 : hyunho912242@naver.com
- 홈페이지 : <https://sites.google.com/site/ymsicl>